

University Of Oum El Bouaghi

Faculty of Exact Sciences & Natural & Life Sciences

Mathematics and Computer Science Department

Module: Computer Architecture

⌚ 1h30m

Level 2 (L2) Bachelor's degree- Semester 3

Date: 11/01/2026

Normal Session Exam

Exercise 1: Comprehensive Questions (7 points)

1. Compare CISC and RISC architectures in terms of instruction complexity and length, registers, and typical CPI.
2. Explain the principle of locality. Differentiate between spatial and temporal locality with examples.
3. Compare SRAM and DRAM in terms of structure, speed, cost, and typical use.
4. Differentiate between write-through and write-back cache write policies. Mention one advantage of each.
5. Why is indirect addressing generally slower than direct addressing? In what type of applications is indirect addressing particularly useful?
6. Why do most modern computers use a modified Harvard architecture instead of a pure Harvard architecture?
7. Name and explain one of the three types of pipeline hazards.

Exercise 2: (7 points)

Given the following memory access sequence: `0, 1, 4, 2, 0, 1, 3, 0, 1, 4, 2, 3`

Assume a 4-way set-associative cache with 3 lines and LFU replacement policy.

1. Simulate the cache state for each access.
2. Calculate the hit rate and miss rate.
3. Explain one advantage of using a set-associative cache over a direct-mapped cache.

A cache is 64 KB, uses 2-way set-associative mapping, and has a line size of 128 bytes. The system uses a 32-bit address bus.

4. How many sets does the cache have?
5. How many tag bits are required per cache entry?

Exercise 3: (6 points)

Given a 5-stage pipeline (IF, ID, EX, MEM, WB) and the following MIPS instructions: 

Assume no forwarding is used. Each stage takes 1 clock cycle.

1. Draw the pipeline execution diagram showing all stalls.
2. Calculate the total cycles needed and the IPC (Instructions Per Cycle).
3. Explain how forwarding can reduce stalls in this example.

1: lw \$t1, 0(\$t0)
2: lw \$t2, 0(\$t1)
3: add \$t6, \$t5, \$t4
4: add \$t3, \$t1, \$t2
5: lw \$t4, 0(\$t6)

University Of Oum El Bouaghi

*Faculty of Exact Sciences & Natural & Life Sciences
Mathematics and Computer Science Department*

التمرين الأول: أسئلة شاملة (7 نقاط)

1. قارن بين معماريتي CISC و RISC من حيث تعقيد التعليمات وطولها، السجلات (registers) ، ومتوسط الدورات لكل تعليمية.(CPI)
2. اشرح مبدأ المحلية (Principle of Locality) ميز بين المحلية المكانية (Spatial) والمحليه الزمنية (Temporal) مع ذكر أمثلة.
3. قارن بين الذاكرة DRAM و SRAM من حيث البنية، السرعة، التكلفة، والاستخدام النموذجي.
4. ميز بين سياسات الكتابة في الذاكرة المخبيّة: الكتابة المباشرة (Write-back) والكتابه اللاحقة (Write-through).
5. لماذا تعتبر العنونة غير المباشرة (Indirect addressing) أبطأ عموماً من العنونة المباشرة؟ وفي أي نوع من التطبيقات تكون العنونة غير المباشرة مفيدة بشكل خاص؟
6. لماذا تستخدم معظم الحواسيب الحديثة بنية هارفارد المعدلة (Modified Harvard Architecture) بدلاً من بنية هارفارد الخالصة (Pure Harvard Architecture)
7. انظر وانشرح واحداً من الانواع الثلاثة لمخاطر خط التوارد.(Pipeline hazards)

التمرين الثاني (7 نقاط)

بفرض تسلسل الوصول للذاكرة التالي : 0, 1, 4, 2, 0, 1, 3, 0, 1, 4, 2, 3

- اففترض وجود ذاكرة مخبيّة (Cache) ترابطية بالمجموعات (Cache 4-way set-associative) ، تحتوي على 3 أسطر ، وتستخدم سياسة الاستبدال LFU.
1. حاكي حالة الذاكرة المخبيّة لكل وصول.
 2. احسب معدل الإصابة (Hit rate) ومعدل الإخفاق.(Miss rate)
 3. اشرح ميزة واحدة لاستخدام الذاكرة المخبيّة الترابطية بالمجموعات مقارنة بالذاكرة المخبيّة ذات الربط المباشر.(Direct-mapped)
- لدينا ذاكرة مخبيّة بحجم 64 كيلوبايت ، تستخدم تعبيباً ترابطياً بمجموعات من 2 طرق(2-way) ، ولها حجم سطر يبلغ 128 بait. النظام يستخدم ناقل عناوين 32 بت.
4. كم عدد المجموعات (sets) في هذه الذاكرة؟
 5. كم عدد براتات الوسم (tag bits) المطلوبة لكل مدخل؟

التمرين الثالث (6 نقاط)

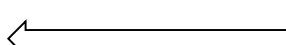
1: lw \$t1, 0(\$t0)

2: lw \$t2, 0(\$t1)

3: add \$t6, \$t5, \$t4

4: add \$t3, \$t1, \$t2

5: lw \$t4, 0(\$t6)



بفرض خط توارد ذو 5 مراحل (IF, ID, EX, MEM, WB) وتعليمات MIPS التالية:

- اففترض عدم استخدام التمرير (forwarding). كل مرحلة تستغرق دورة ساعة واحدة.
1. ارسم مخطط تنفيذ خط التوارد (Pipeline execution diagram) (IPC) موضحاً جميع حالات التوقف (stalls).
 2. احسب إجمالي الدورات اللازمة وعدد التعليمات لكل دورة.(IPC)
 3. اشرح كيف يمكن للتمرير (forwarding) تقليل التوقفات في هذا المثال.